

**GATE ARRAY SEMICONDUCTOR DEVICE**

Patent Number: JP4033367  
Publication date: 1992-02-04  
Inventor(s): KOBAYASHI TAKESHI  
Applicant(s):: NEC CORP  
Requested Patent: ☐ JP4033367  
Application Number: JP19900140426 19900530  
Priority Number(s):  
IPC Classification: H01L27/118 ; H01L21/82  
EC Classification:  
Equivalents:

**Abstract**

**PURPOSE:**To improve the efficiency of power supply lines and facilitate design of wiring layout of signal lines, etc., by a method wherein signal terminals and power supply terminals are provided on a plurality of respective functional blocks which are arranged on a chip and the layout of the power supply lines which are connected to the power supply terminals is automatically made together with the layout of signal lines which are connected to the signal terminals.

**CONSTITUTION:**A plurality of signal terminals 2 are provided on the circumferential part of a functional block 1. Power supply terminals, i.e., a Vcc terminal 3 and a GND terminal 4, are also provided on the functional block 1 independently from the signal terminals 2. After a plurality of the functional blocks 1 are arranged on a chip 5, the layout of a intra-chip Vcc line 6 and a intra-chip GND line 7 is made so as to supply a Vcc potential and a GND potential to the Vcc terminals 3 and the GND terminals 4 of the respective functional blocks 1 are made and the intra-chip Vcc line 6 and the intra-chip GND line 7 are connected to a chip-circumferential Vcc line 8 and a chip-circumferential GND line 9 respectively. Further, the layout of the required signal lines is made so as to have the signal terminals 2 of the respective functional block 1 exhibit respective required functions.

Data supplied from the esp@cenet database - 12

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-33367

⑤ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)2月4日

H 01 L 27/118  
21/82

8225-4M H 01 L 21/82  
8225-4M

M  
L

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 ゲートアレイ半導体装置

⑮ 特 願 平2-140426

⑯ 出 願 平2(1990)5月30日

⑰ 発 明 者 小 林 剛 東京都港区芝5丁目7番1号 日本電気株式会社内  
⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号  
⑲ 代 理 人 弁理士 鈴木 章夫

明 細 書

1. 発明の名称

ゲートアレイ半導体装置

2. 特許請求の範囲

1. 複数個の機能ブロックをチップ上に配列し、各機能ブロックに電源ラインおよび信号ラインを接続して任意の論理機能を実現するゲートアレイ半導体装置において、前記機能ブロックのそれぞれに信号端子および電源端子を配設し、前記機能ブロックの電源端子に接続する電源ラインを前記信号端子に接続する信号ラインとともに自動レイアウトすることを特徴とするゲートアレイ半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はゲートアレイ半導体装置に関し、特に電源ラインの自動レイアウトを可能にした半導体装置に関する。

〔従来の技術〕

一般にゲートアレイ半導体装置は、シリコンウ

ェハ上にトランジスタ等の素子を構成しておき、その後に任意の配線パターンの配線を形成することで個々の素子を相互に接続し、所要の論理機能を実現するようになっている。このため、この種のゲートアレイ半導体装置では、所要の論理回路に基づいて使用する素子を予め決定し、決定された素子を相互に接続する配線を自動レイアウトによって決定し、かつその配線を行っている。この場合、従来のゲートアレイ半導体装置では、各素子に接続される電源ライン（接地ラインを含む）は予め決定されており、各素子に接続される信号ラインのみを自動レイアウトしている。

〔発明が解決しようとする課題〕

このような従来のゲートアレイ半導体装置では、電源ラインは予め決められた一定パターンのレイアウトであるため、必ずしも各素子で構成される機能ブロックの配置に最適なレイアウトではなく、効率が悪い場合があるという問題がある。また、先に電源ラインが設定されているため、信号ラインはこの電源ラインを避けて配設しなければなら

ず、そのレイアウトに制約を与え、設計の自由度が低下されるという問題もある。

本発明の目的は、電源ラインの効率を高めるとともに、信号ライン等の配線レイアウトの設計の容易化を可能にしたゲートアレイ半導体装置を提供することにある。

(課題を解決するための手段)

本発明のゲートアレイ半導体装置は、チップ上に複数個配列される機能ブロックのそれぞれに信号端子および電源端子を配設しており、機能ブロックの電源端子に接続する電源ラインを信号端子に接続する信号ラインとともに自動レイアウトする構成としている。

(作用)

本発明によれば、各機能ブロックに設けられた電源端子を利用して電源ラインの配線パターンを任意に設計することで、その効率を高め、かつ信号ラインにおける制約を緩和させる。

(実施例)

次に、本発明を図面を参照して説明する。

ている)をレイアウトする。

これにより、このチップ5においては、信号ラインとV<sub>cc</sub>ライン6およびGNDライン7をそれぞれ同一レベルでレイアウト設計することが可能となる。したがって、各ラインがそれぞれ最高の効率で機能されるような設計を行うことができ、かつ信号ラインに制約を与えることがない設計自由度を高めることが可能となる。

例えば、第3図には第2図における電源ラインの一部を変更した例を示しており、機能ブロック1の各V<sub>cc</sub>端子3およびGND端子4に接続するチップ内V<sub>cc</sub>ライン6とチップ内GNDライン7の各先端にそれぞれ補助V<sub>cc</sub>ライン6'と補助GNDライン7'を設け、これら補助V<sub>cc</sub>ライン6'および補助GNDライン7'により各先端をチップ周辺V<sub>cc</sub>ライン8およびチップ周辺GNDライン9に接続している。

この例では、補助V<sub>cc</sub>ライン6'と補助GNDライン7'を設けることにより、チップ内V<sub>cc</sub>ライン6およびチップ内GNDライン7の先端を最

第1図は本発明のゲートアレイ半導体装置を構成する機能ブロックの一実施例を示す図である。この機能ブロック1は、トランジスタやダイオード等の能動素子や、抵抗等の受動素子で所要の機能を発揮するブロックとして構成され、そのブロック領域の周辺部には従来からある複数個の信号端子2を配設している。また、この機能ブロック1には、前記信号端子2とは独立した電源端子、すなわちV<sub>cc</sub>端子3とGND端子4をそれぞれ配設している。

第2図は第1図の機能ブロック1をチップ5上にレイアウトしたものであり、複数個の機能ブロック1を配列した上で、各機能ブロック1のV<sub>cc</sub>端子3およびGND端子4にそれぞれV<sub>cc</sub>電位およびGND電位を供給するようにチップ内V<sub>cc</sub>ライン6およびGNDライン7をレイアウトし、これをチップ周辺V<sub>cc</sub>ライン8およびチップ周辺GNDライン9にそれぞれ接続する。また、各機能ブロック1の信号端子2はそれぞれ所要の機能を発揮するように所要の信号ライン(図示は省略し

短距離でチップ周辺V<sub>cc</sub>ライン8とチップ周辺GND端子9に接続することができ、チップ内V<sub>cc</sub>ライン6の先端でのV<sub>cc</sub>レベル変動およびチップ内GNDライン7の先端でのGNDレベル変動を防ぐことが可能となる。

(発明の効果)

以上説明したように本発明は、機能ブロックに電源端子を配設し、この電源端子に接続する電源ラインを信号端子に接続する信号ラインとともに自動レイアウトする構成としているので、電源ラインの配線パターンを信号ラインとともに設計することで、機能ブロックの配置に合わせた好適な電源ラインおよび信号ラインのレイアウトを行なうことが可能となり、その効率を高めるとともに、信号ラインにおける設計上の制約を緩和して設計の自由度を改善することができるという効果を有する。

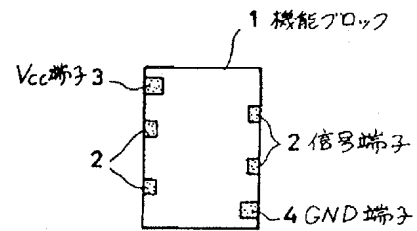
#### 4. 図面の簡単な説明

第1図は本発明における機能ブロックの各端子の配列状態を示すレイアウト図、第2図は第1図

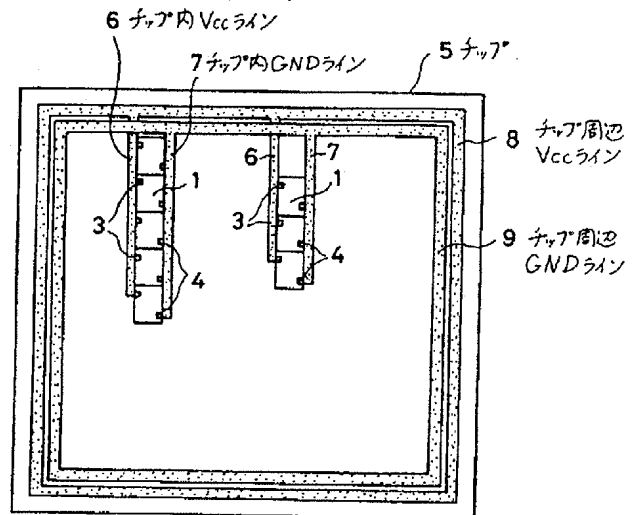
の機能ブロックを用いたゲートアレイ半導体装置のチップのレイアウト図、第3図は第2図の変形例を示すチップのレイアウト図である。

1…機能ブロック、2…信号端子、3…V<sub>cc</sub>端子、4…GND端子、5…チップ、6…チップ内V<sub>cc</sub>ライン、7…チップ内GNDライン、6'…補助V<sub>cc</sub>ライン、7'…補助GNDライン、8…チップ周辺V<sub>cc</sub>ライン、9…チップ周辺GNDライン。

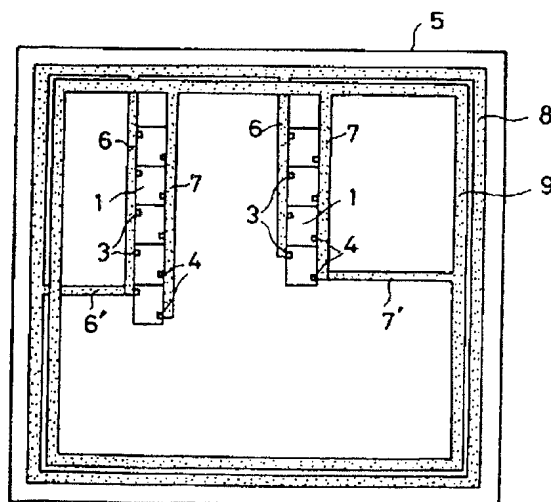
第1図



第2図



第3図



代理人 弁理士 鈴木 章 夫

